

Patent Abstracts of Japan

PUBLICATION NUMBER : 62298120
PUBLICATION DATE : 25-12-87

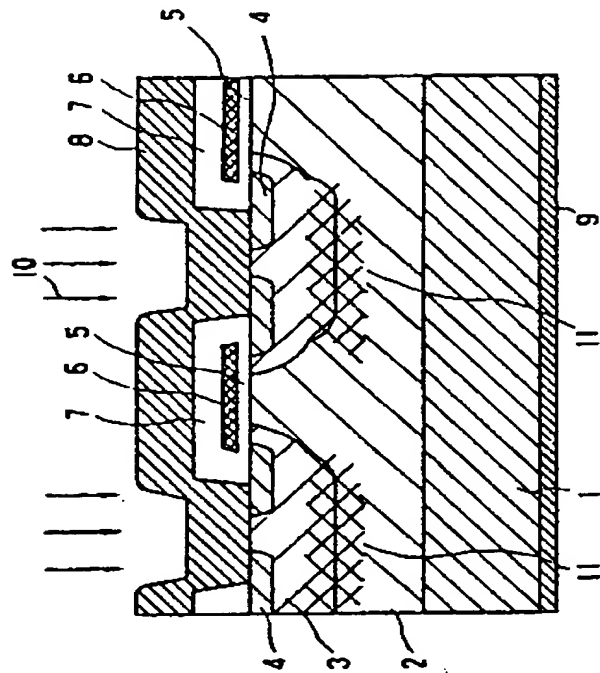
APPLICATION DATE : 18-06-86
APPLICATION NUMBER : 61140202

APPLICANT : HITACHI LTD;

INVENTOR : WADA YASUO;

INT.CL : H01L 21/322 H01L 27/08 H01L 29/78
H01L 29/78

TITLE : SEMICONDUCTOR DEVICE AND
MANUFACTURE THEREOF



ABSTRACT : PURPOSE: To accelerate the switching speed of specified element while preventing latch up phenomena from occurring by a method wherein lifetime killers of carriers are introduced in the specified regions in specified depth of a semiconductor device.

CONSTITUTION: Within a vertical type MOSFET, an N type low concentration layer 2 in depth of 25 μm and specific resistance of 20 $\Omega\cdot\text{cm}$, P type diffused regions (drain regions) 3 in depth of 7 μm , N type high concentration diffused regions (source regions) 4 in depth of 1 μm and gate insulating films 5 in film thickness of 100 μm are formed on an N type high concentration semiconductor substrate 1. Furthermore, gate electrodes 6 comprising polycrystalline silicon, phosphorus glass protective films 7, a source electrode 8 and a drain electrode 9 are formed. On the other hand, crystalline defective layers 11 are formed in the power MOSFET by selectively using a mask and irradiating with specified high level of proton ion beam in specified depth. Through these procedures, the operation frequency can exceed 100 kHz while accelerating the switching speed without causing any latch up phenomenon at all.

COPYRIGHT: (C)1987, JPO&Japio

⑩ 日本国特許庁(JP) ⑪ 特許出願公開
⑫ 公開特許公報(A) 昭62-298120

⑬ Int. Cl.⁴ 識別記号 庁内整理番号 ⑭ 公開 昭和62年(1987)12月25日
H 01 L 21/322 L-7738-5F
27/08 3 3 1 7735-5F
29/78 3 0 1 X-8422-5F
3 2 1 D-8422-5F 審査請求 未請求 発明の数 2 (全6頁)

⑮ 発明の名称 半導体装置およびその製造方法

⑯ 特 願 昭61-140202

⑰ 出 願 昭61(1986)6月18日

⑱ 発 明 者 吉 田 功 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中
中央研究所内
⑲ 発 明 者 夏 秋 信義 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中
中央研究所内
⑲ 発 明 者 樋 口 久 幸 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中
中央研究所内
⑲ 発 明 者 和 田 恭 雄 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中
中央研究所内
⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉑ 代 理 人 弁理士 中村 純之助

明 細 書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

1. 半導体基板の所定の深さの所定の領域に、キャリアのライフタイムキラーとなる結晶欠陥層を有することを特徴とする半導体装置。
2. 半導体基板に選択的に高エネルギーのイオン打込みを行なって所定の深さの所定の領域にキャリアのライフタイムキラーとなる結晶欠陥層を形成する工程と、水素中の熱処理を行なう工程とを含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置およびその製造方法に係り、特にキャリアのライフタイムキラーの導入により、特性向上および信頼性を向上させ得る半導体装置およびその製造方法に関する。

【従来の技術】

従来、半導体装置のキャリアのライフタイムキラーの導入については、アイ・イー・ディー・エム(IEDM)、20.4(1976年)第495~498頁において論じられている。この文献には、キャリアのライフタイムキラーとして、金拡散、白金拡散および電子線照射を利用することが記載されている。(ライフタイムコントロールインパワーレクティファイアーズアンドサイリスタユージングゴールド、プラチナムアンドエレクトロンイレイディエーション(LIFETIME CONTROL IN POWER RECTIFIERS AND THYRISTORS USING GOLD, PLATINUM AND ELECTRON IRRADIATION))

また、これに関連する技術が、アイ・イー・ディー・エム(IEDM)、6.6(1985年)第162~165頁においても論じられている。この文献には、キャリアのライフタイムキラーとして、プロトンイオンビームを利用することが記載されている。(インブルーグダイナミックプロパティーズオブジー・ティー・オーサイリスターズアンド

ダイオーズ バイ プロトン インプランテーション
(IMPROVED DYNAMIC PROPERTIES OF GTO-THYRISTORS AND DIODES BY PROTON IMPLANTATION))

〔発明が解決しようとする問題点〕

上記従来技術においては、キャリアのライフタイムキラーを半導体装置に導入するのに、同一基板上に複数の素子を有する半導体基板全体にわたり、かつ半導体基板の表面から所定の深さにわたって形成するものであり、半導体基板の所定の深さの所定の領域のみに選択的にキャリアのライフタイムキラーを導入することはできない。

したがって、別々の機能を有するすべての素子へ、このようなキャリアのライフタイムキラーを導入することによって、そのキャリアのライフタイムコントロールによる利点（ダイオードの逆回復時間の減少、パワーMOSFETのスイッチング速度の向上、ラッチアップ耐性の向上あるいはメモリエラーの防止等）と、弊害（リーク電流の増加、耐圧の低下、あるいはメモリ部の蓄積電荷のリーク等）とが同時に存在するという問題があ

行なって所定の深さの所定の領域にキャリアのライフタイムキラーとなる結晶欠陥層を形成する工程と、水素中の熱処理を行なう工程とを含むことを特徴とする。

〔作用〕

上記の構成により、半導体基板中で、部分的にのみキャリアのライフタイムが減少する領域を形成することができる。それによって、配置された複数の素子のうちキャリアのライフタイムキラーを有する素子においては、例えばダイオードの逆回復特性、パワーMOSFETのスイッチング特性が向上し、ラッチアップ現象や破壊現象、あるいはメモリエラーなどの発生が著しく低下する一方、このキャリアのライフタイムキラーを有しない素子においては、ライフタイムが減少して生ずるリーク電流の増大、耐圧の低下、あるいはメモリ蓄積電荷のリークなどの特性の劣化が生じない。

〔実施例〕

実施例 1

った。

本発明の目的は、同一半導体基板上の複数の素子の別々の機能を考慮し、半導体基板の所定の深さの所定の領域のみに選択的にキャリアのライフタイムキラーを導入を行なって、上記の問題を解決することにある。

〔問題点を解決するための手段〕

上記の目的は、半導体基板に高エネルギーのイオン打込みを行なうことにより達成される。所定の深さの所定の領域に選択的にイオン打込みを行なうために、半導体基板上にマスクを設ける方法と、高エネルギーのイオン打込みの打込みエネルギーを選定して深さ方向で制御する方法とを採用した。

すなわち、本発明の半導体装置は、半導体基板の所定の深さの所定の領域に、キャリアのライフタイムキラーとなる結晶欠陥層を有することを特徴とする。

また、本発明の半導体装置の製造方法は、半導体基板に選択的に高エネルギーのイオン打込みを

第1図は、本発明の第1の実施例を示す縦形パワーMOSFETの断面構造図である。本実施例では、定格電圧400V、定格電流10A、nチャネル形の縦形パワーMOSFETを示す。

図において、1はn形高濃度半導体基板、2は比抵抗が $20\Omega\cdot\text{cm}$ 、深さが $25\mu\text{m}$ のn形低濃度層、3は深さが $7\mu\text{m}$ のp形拡散領域（ドレイン領域）、4は深さが $1\mu\text{m}$ のn形高濃度拡散領域（ソース領域）、5は膜厚が 100nm のゲート絶縁膜、6は多結晶シリコンからなるゲート電極、7はリンガラス保護膜、8はアルミニウムからなるソース電極、9はアルミニウムからなるドレイン電極、11はn形低濃度層2とp形拡散領域との界面に形成されたキャリアのライフタイムキラーとなる結晶欠陥層である。

すなわち、本実施例では、このパワーMOSFETに、マスクを用いて選択的に、プロトンイオンビーム10を所定の高エネルギーで照射して、所定の深さに結晶欠陥層11を形成した。本実施例のプロトンイオンビームの照射条件は、エネルギー

300keV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ であり、照射後、水中で350℃、30分間の熱処理を行なった。この熱処理により、上記結晶欠陥層11がライフタイムキラーとして残るとともに、かつMOSFETの電気的特性を、上記プロトンイオンビーム照射前とほとんど変わらない程度にまで回復させることができた。すなわち、このような照射と熱処理により、MOSFETの特性はそのまま、MOSFETの基板ドレイン間(n形低濃度層2とp形ドレイン領域)に存在するpn接合ダイオードの逆回復時間を、照射前の $0.6 \mu\text{s}$ から $0.1 \mu\text{s}$ に減少させることができた。

本発明によるキャリアのライフタイムキラーとなる結晶欠陥層11を設けない従来のパワーMOSFETでは、動作周波数が低く制限されていたばかりか、動作中しばしば破壊するという問題が生じていた。これに対して、本実施例のキャリアのライフタイムキラーを有するパワーMOSFETでは、動作周波数が100kHz以上となり、スイッチング速度が向上し、破壊現象も全く生じない

り活性領域には欠陥を生じさせないで、 $2 \mu\text{m}$ 以上の深さにのみ選択的にキャリアのライフタイムキラーを導入することができた。本実施例においても、シリコンイオンビームの照射後、水中で350℃、60分間の熱処理を行ない、メモリ活性領域での電気的特性の回復を図った。本実施例によれば、サイリスタ動作などにより、他の領域から半導体基板12内に注入された電子21、22が、キャリアのライフタイムキラーを多く含んだ結晶欠陥層20の箇所で消滅し、メモリ部にこれらの電子が注入しないので、該メモリ部でのメモリエラーを防止することができる。また、その結晶欠陥層20は $2 \mu\text{m}$ 以上の深さに形成され、メモリ部から離れているため、メモリ部の蓄積電荷がリークすることなく、メモリ保持時間は従来のものとほとんど変わらない。

実施例 3

第3図(A)は、本発明の第3の実施例のメモリ素子を有するLSIの平面図、第3図(B)は第3図(A)のB-B断面図、第3図(C)は第

3図(A)のC-C断面図である。したがって、本実施例のパワーMOSFETをモータ制御用に実装した場合は、上記効果が得られることにより特に有効である。

実施例 2

第2図は、本発明の第2のMOS形メモリの主要部の断面図である。

図において、12はp形半導体基板、13は深さ $0.5 \mu\text{m}$ のn形高濃度拡散層、14、15は膜厚50nmのゲート絶縁膜、16は素子分離用絶縁膜、17はMOSFETのゲート電極、18はMOSキャパシタの電極である。本実施例では、メモリにおける他の領域からの電子の注入によるエラー対策として、シリコンイオンビーム19をマスクを用いて選択的に所定の高エネルギーで照射し、結晶欠陥層20を形成することによりメモリ部の半導体基板12の所定の深さにキャリアのライフタイムキラーを導入を行なっている。その照射条件はエネルギー3MeV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ であった。このように高エネルギーで照射を行なうことにより、表面のメモ

3図(A)のC-C断面図である。

第3図(A)において、23は半導体チップ、24はメモリセル部、25は出力トランジスタ部、26は制御用論理部、27は過大入力に対する保護部、第3図(B)、(C)において、71はp形半導体基板、72はp形埋込み層、73はn形埋込み層、74はn形高濃度領域、75はp形高濃度領域、76はゲート絶縁膜、77はゲート電極、78はソース電極、79はドレイン電極、80はダイオード、81は素子分離用絶縁膜、82は半導体基板71の所定の深さの領域に形成されたキャリアのライフタイムキラーとなる結晶欠陥層である。

第3図(A)に示すようなLSIにおいて、従来は、メモリセル以外で生じたラッチアップ現象によって、符号28に示すように、電子の注入によってメモリエラーが生じる問題があった。本実施例では、メモリセル部以外の領域、すなわち出力トランジスタ部25、制御用論理部26、保護部27の領域に高エネルギーのヘリウムイオン打込みを選択的に行なって、第3図(B)、(C)に示すよ

特開昭62-298120(4)

うに、結晶欠陥層82を形成し、キャリアのライフタイムキラーを導入した。その結果、メモリエラーは全く生じないことが確認された。

実施例 4

第4図は、セミウェルアイソレーションという技術を用いて、高耐圧出力トランジスタと低電圧論理トランジスタを集積したLSIの主要部の断面図である。

図において、62は高耐圧出力トランジスタ、63は低電圧論理トランジスタ、29はp形半導体基板、30、31はn形高濃度埋込み層、32、33はn形低濃度領域、34、36はp形拡散領域、35、37はn形高濃度拡散領域、38、39、40、41、42は金属電極である。本実施例では、30を高濃度ドレイン領域とする高耐圧出力トランジスタ62のスイッチング特性を向上させるために、プロトンイオン43を選択的に、エネルギー500keV、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ で打込み、結晶欠陥層44を所定の深さに発生させた。プロトンイオンの打込み後、水素中400℃、15分間の熱処理を行なった。これにより、31

を高濃度ドレイン領域とする低電圧論理トランジスタ63の特性は、イオン打込み前とほとんど変わらなくなった。本実施例によれば、低電圧論理トランジスタの特性を変化させないで高耐圧出力トランジスタのスイッチング速度が約3倍に向上するという結果が得られた。

実施例 5

第5図は、パワーMOSFETと制御用MOSFET回路とを含む、いわゆるスマートパワーMOSLSIの主要部の断面図である。

図において、45はn形高濃度半導体基板、46はn形低濃度層、47はp形ベース領域、48はn形高濃度ソース領域、49はp形ウェル領域、50はn形拡散領域、51、52はゲート絶縁膜、53、54はゲート電極、55は安定化保護膜、56、57、58、59は金属電極である。本実施例では、符号48、47、46、49、50の各部から成るサイリスタ構造によるラッチアップ現象を防止するために、ヘリウムイオン60の打込みにより、結晶欠陥層61を形成している。ヘリウムイオンの打込み条件は、エネルギーが2

MeV、ドーズ量が $1 \times 10^{13} \text{ cm}^{-2}$ である。この場合もイオン打込み後、水素中350℃、30分間の熱処理を行なった。本実施例によれば、スマートパワーデバイスの特性を劣化させないで、ラッチアップ現象を全く生じない構造を得ることができた。

なお、上記のすべての実施例では、イオン打込みはウェーハ裏面に対して行なっていたが、本発明においては、高エネルギーのイオン打込みを行なうので、ウェーハ裏面に対してイオン打込みする手段も有効である。このようにウェーハの裏面にイオン打込みを行なう場合には、裏面の素子活性領域に欠陥を生じさせないでキャリアのライフタイムキラーとなる結晶欠陥層を形成することができる。

〔発明の効果〕

以上説明したように、本発明は、半導体装置の所定の深さの所定の領域にキャリアのライフタイムキラーを導入することにより、所望の素子のスイッチング速度の向上やラッチアップ現象の防止、破壊強度の増大を図ることができる効果がある。

4. 図面の簡単な説明

第1図は本発明の第1の実施例の縦形パワーMOSFETの断面図、第2図は本発明の第2の実施例のMOS形メモリの主要部の断面図、第3図(A)～(C)は本発明の第3の実施例のメモリLSIの平面図および断面図、第4図は本発明の第4の実施例の高耐圧LSIの主要部の断面図、第5図は本発明の第5の実施例のパワーMOSLSIの主要部の断面図である。

- 1、45…n形高濃度半導体基板
- 2、46…n形低濃度層
- 3、34、36、47、49…p形領域
- 4、13、48、50…n形ソース領域
- 5、14、15、51、52…ゲート絶縁膜
- 6、17、18、53、54…ゲート電極
- 10、19、43、60…イオンビーム
- 11、20、44、61…結晶欠陥層

代理人 弁理士 中村 純之助

図 1

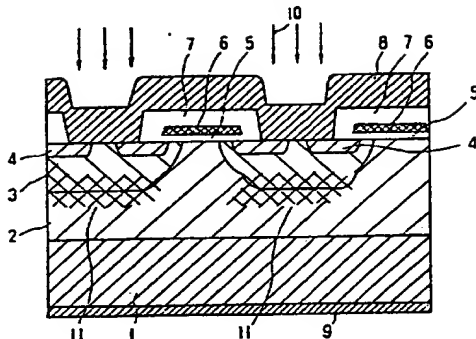
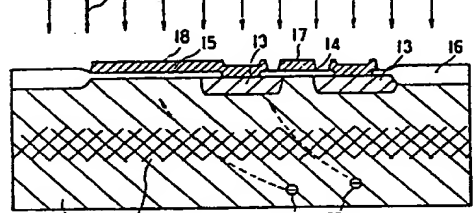


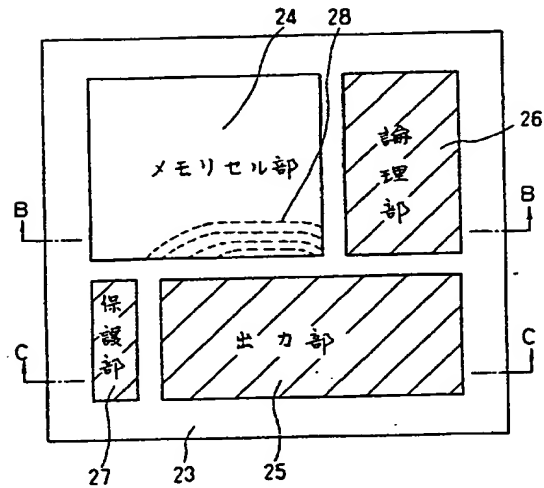
図 2



- 1 半導体基板
- 2 酸化膜層
- 3 酸化膜層
- 4 酸化膜層
- 5 酸化膜層
- 6 ゲート電極
- 7 ゲート電極
- 8 ゲート電極
- 9 ゲート電極
- 10 プロトンビーム
- 11 ポリマー膜層

図 3

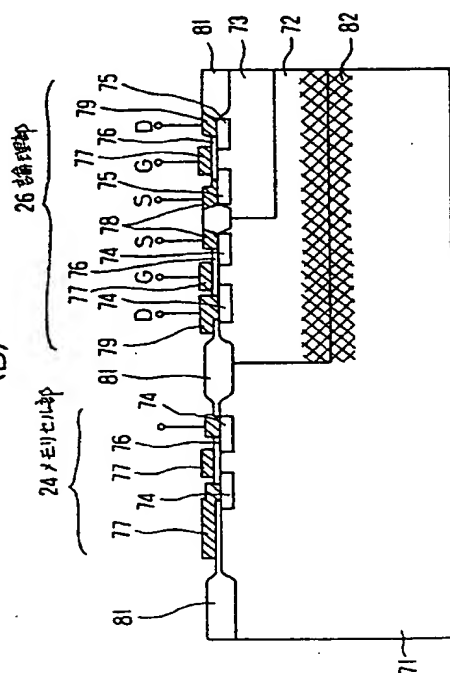
(A)



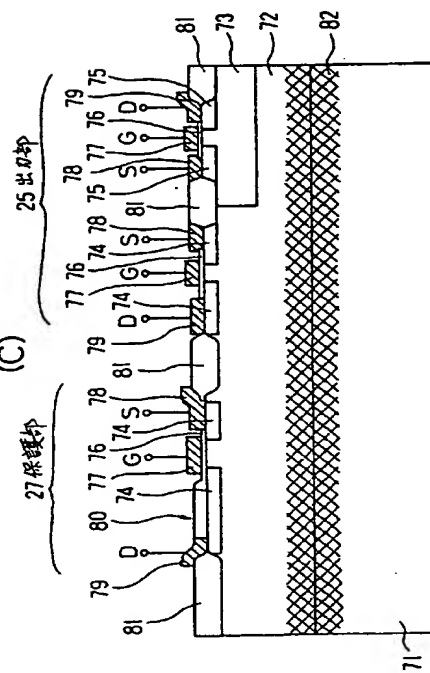
- 23 半導体チップ
- 24 メモリセル
- 25 出力部
- 26 メモリエラー

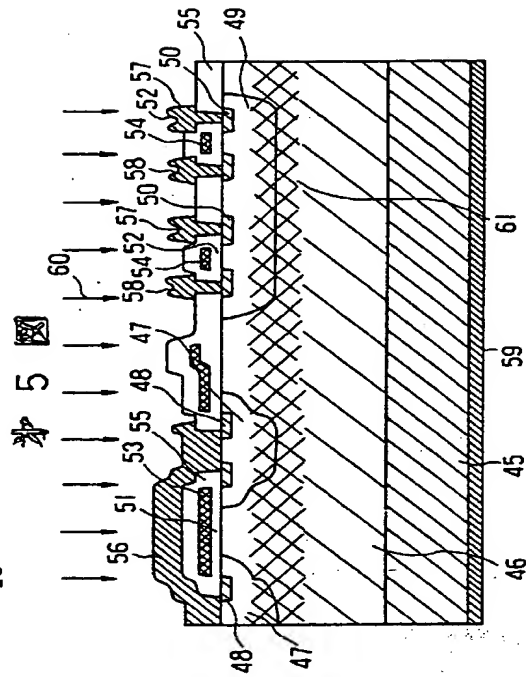
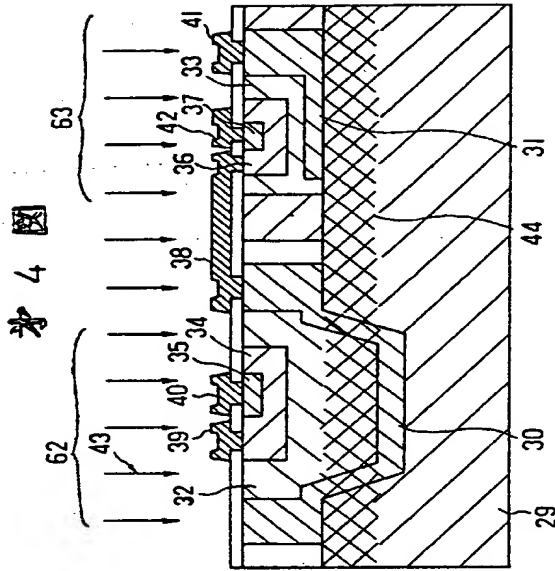
図 3

(B)



(C)





30 P形埋込層 47 P形ベース領域
32 P形低濃度領域 49 P形ウェル領域
44-61 結晶欠陥層